

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 3 日
Date of Application:

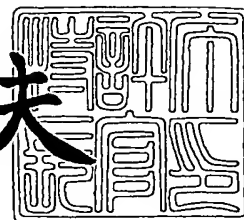
出 願 番 号 特 願 2 0 0 3 - 0 1 4 4 6 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 1 4 4 6 6]

出 願 人 株式会社デンソー
Applicant(s):

2 0 0 3 年 1 0 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 IP7575

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 志賀 智英

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 青木 孝明

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 岡部 好文

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100100022

 【弁理士】

 【氏名又は名称】 伊藤 洋二

 【電話番号】 052-565-9911

【選任した代理人】

 【識別番号】 100108198

 【弁理士】

 【氏名又は名称】 三浦 高広

 【電話番号】 052-565-9911

【選任した代理人】

【識別番号】 100111578

【弁理士】

【氏名又は名称】 水野 史博

【電話番号】 052-565-9911

【手数料の表示】

【予納台帳番号】 038287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板（５）の一面に形成されたトレンチ（６）の側壁に第１のシリコン酸化膜（７ a）とシリコン窒化膜（７ b）と第２のシリコン酸化膜（７ c）とが順に積層された積層膜（７ f）が形成され、前記積層膜を介して、前記トレンチ（６）の内部にボロンがドーピングされたポリシリコン（８）が埋め込まれてなるトレンチゲート構造を有する半導体装置であって、

前記積層膜（７ f）中の前記シリコン窒化膜（７ b）は、前記ボロンの通過を抑制できる膜厚および膜質であり、前記積層膜（７ f）中の前記トレンチ（６）側の第１の前記シリコン酸化膜（７ a）の膜厚は、前記ポリシリコン（８）側の第２のシリコン酸化膜（７ c）の膜厚よりも大きいことを特徴とする半導体装置。

【請求項 2】 半導体基板（５）の一面に形成されたトレンチ（６）の側壁に第１のシリコン酸化膜（７ a）とシリコン窒化膜（７ b）と第２のシリコン酸化膜（７ c）とが積層された積層膜（７ f）が形成され、前記積層膜（７ f）を介して、前記トレンチ（６）の内部にボロンがドーピングされたポリシリコン（８）が埋め込まれてなるトレンチゲート構造を有する半導体装置の製造方法であって、

前記半導体基板（５）の一面に前記トレンチ（６）を形成する工程と、

前記トレンチ（６）の側壁上に、前記ポリシリコン（８）側の前記第２のシリコン酸化膜（７ c）よりも膜厚が大きくなるように、前記第１のシリコン酸化膜（７ a）を形成する工程と、

前記第１の前記シリコン酸化膜（７ a）の上に、前記ボロンが通過を抑制できる膜厚および膜質にて前記シリコン窒化膜（７ b）を形成する工程と、

前記シリコン窒化膜（７ b）の上に、前記トレンチ（６）側の第１のシリコン酸化膜（７ a）よりも膜厚が小さくなるように、前記第２のシリコン酸化膜（７ c）を形成することで前記積層膜（７ f）を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トレンチゲート構造を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

従来、半導体基板の一面に形成されたトレンチの側壁上にゲート絶縁膜を形成し、このトレンチ内にゲート電極を埋め込んだ、いわゆるトレンチゲート構造を持つ半導体装置がある。

【0003】

このような半導体装置には、さらに、ゲート絶縁膜がシリコン酸化膜とシリコン窒化膜とシリコン酸化膜との積層膜、いわゆるONO (Oxide Nitride Oxide) 膜から構成されているものがある。この半導体装置では、ゲート絶縁膜をONO膜で構成することにより、ゲート絶縁膜をシリコン酸化膜のみで形成した場合よりもゲート耐圧が高くなっている。(例えば、特許文献1参照)

また、このようなトレンチゲート構造の半導体装置の製造工程では、一般的に、B (ボロン) やP (リン) 等の不純物がドーパされたポリシリコンによりゲート電極が形成される。そして、ゲート電極の形成後に、ゲート電極の上に層間絶縁膜を形成し、この層間絶縁膜を平坦化するために熱処理が行われる。また、ゲート電極を形成した後に、ソース領域等の不純物拡散層を形成する場合は、ゲート電極の形成後に、ソース領域等を形成するためにイオン注入を行い、不純物を拡散させるための熱処理が行われる。

【0004】

【特許文献1】

特開 2001-196587 号公報

【0005】

【発明が解決しようとする課題】

上述した製造工程において、特に、ゲート電極としてボロンがドーパされたP

+型ポリシリコンを用いた場合では、ゲート電極の形成後に熱処理を行ったとき、ゲート電極に含まれるボロンがゲート絶縁膜中に拡散してしまう場合がある。これにより、ゲート絶縁膜の膜質が劣化するため、ゲート絶縁膜の耐圧が設定値よりも低下するという問題が発生する恐れがあった。

【0006】

本発明は上記点に鑑みて、ボロンがドーパされたポリシリコンがトレンチ内に埋め込まれたトレンチゲート構造の半導体装置において、トレンチの側壁上に形成された絶縁膜の耐圧の低下を抑制することができる半導体装置およびその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明では、トレンチの側壁に積層膜(7f)が形成され、トレンチ(6)の内部にボロンがドーパされたポリシリコン(8)が埋め込まれてなるトレンチゲート構造を有する半導体装置であって、積層膜(7f)中のシリコン窒化膜(7b)は、ボロンの通過を抑制できる膜厚および膜質であり、積層膜(7f)中のトレンチ(6)側の第1のシリコン酸化膜(7a)の膜厚は、ポリシリコン(8)側の第2のシリコン酸化膜(7c)の膜厚よりも大きいことを特徴としている。

【0008】

このようにトレンチの側壁上に形成された積層膜のうち、シリコン窒化膜が、ボロンがこの膜を通過するのを抑制できる膜厚および膜質にて形成されていることから、ポリシリコンに含まれるボロンがトレンチ側の第1のシリコン酸化膜中に拡散するのを抑制することができる。

【0009】

そして、トレンチ側の第1のシリコン酸化膜は、ポリシリコン側の第2のシリコン酸化膜よりも厚くなっていることから、これとは反対に、第2のシリコン酸化膜の方が第1のシリコン酸化膜より厚い場合と比較して、積層膜全体に対するボロンにより汚染されない領域の割合を大きくすることができる。このため、本発明によれば、第2のシリコン酸化膜の方が第1のシリコン酸化膜より厚い場合

と比較して、積層膜の耐圧がボロンの拡散により低下するのを抑制することができる。

【0 0 1 0】

なお、請求項 1 の発明は、例えば P チャネル型のトレンチゲート構造のトランジスタを有する半導体装置において適用することができる。

【0 0 1 1】

請求項 2 に記載の発明では、トレンチ (6) の内部にボロンがドーピングされたポリシリコン (8) が埋め込まれてなるトレンチゲート構造を有する半導体装置の製造方法であって、トレンチ (6) の側壁上に、ポリシリコン (8) 側の第 2 のシリコン酸化膜 (7 c) よりも膜厚が大きくなるように、第 1 のシリコン酸化膜 (7 a) を形成する工程と、第 1 のシリコン酸化膜 (7 a) の上に、ボロンが通過を抑制できる膜厚および膜質にてシリコン窒化膜 (7 b) を形成する工程と、シリコン窒化膜 (7 b) の上に、トレンチ (6) 側の第 1 のシリコン酸化膜 (7 a) よりも膜厚が小さくなるように、第 2 のシリコン酸化膜 (7 c) を形成することで積層膜 (7 f) を形成する工程とを有することを特徴としている。

【0 0 1 2】

この製造方法により、請求項 1 に記載の半導体装置を製造することができる。

【0 0 1 3】

また、本発明によれば、トレンチ側のシリコン酸化膜を形成する工程にて、トレンチ側のシリコン酸化膜で積層膜全体としての耐圧設計を行うことで、目標とする耐圧を有する積層膜を形成することができる。

【0 0 1 4】

なお、請求項 2 の発明は、例えば P チャネル型のトレンチゲート構造のトランジスタを有する半導体装置の製造方法に適用することができる。

【0 0 1 5】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0 0 1 6】

【発明の実施の形態】

(第 1 実施形態)

図 1 に、本発明の一実施形態に係る半導体装置の断面構成を示す。この半導体装置は、パワー MOSFET、IGBT などのトレンチゲート構造を持つトランジスタを有している。なお、本実施形態では、P チャネル型のトランジスタを例にして説明する。

【0017】

図 1 において、P+型あるいはN+型のシリコン基板 1 上に P-型のドリフト層 2 が形成され、その上にベース領域となる N 型層 3 が形成されている。N 型層 3 内には、ソース領域となる P+型層 4 が形成されている。そして、これらにより半導体基板 5 が構成されている。

【0018】

また、半導体基板 5 の一面には、P+型層 4 および N 型層 3 を貫通し、ドリフト層 2 に達するトレンチ 6 が形成されており、このトレンチ 6 の内壁にゲート絶縁膜 7 が形成されている。さらに、トレンチ 6 の内部には、ゲート絶縁膜 7 を介してゲート電極 8 が埋め込まれている。

【0019】

このゲート絶縁膜 7 は、トレンチ 6 の側壁部に形成されたいわゆる ONO 膜 7 f と、トレンチ 6 の上部、底部に形成されたシリコン酸化膜 7 d、7 e とからなる。

【0020】

さらに ONO 膜 7 f は、トレンチ 6 側の第 1 のシリコン酸化膜 7 a と、シリコン窒化膜 7 b と、ゲート電極 8 側の第 2 のシリコン酸化膜 7 c とから構成されている。なお、以下では、トレンチ 6 側の第 1 のシリコン酸化膜 7 a をボトム酸化膜、ゲート電極 8 側の第 2 のシリコン酸化膜 7 c をトップ酸化膜と呼ぶ。

【0021】

シリコン窒化膜 7 b はボロンがこの膜を通過するのを防ぐことができる膜厚および膜質となっている。具体的には、膜厚は例えば 10 ～ 30 nm となっている。また、シリコン窒化膜 7 b はその上端が N 型層 3 と P+型層 4 の境界より上、すなわち半導体基板 5 の一面側に位置している。

【0022】

ボトム酸化膜 7 a の膜厚は例えば 100 nm 程度であり、トップ酸化膜 7 c の膜厚は例えば 10～30 nm である。このようにボトム酸化膜 7 a の膜厚はトップ酸化膜 7 c の膜厚よりも大きくなっている。

【0023】

一方、トレンチ 6 の上部、底部に形成されたシリコン酸化膜 7 d、7 e は、トレンチ 6 の側壁部に形成された ONO 膜 7 f よりも膜厚が大きい膜となっている。ここで、トレンチ 6 の上部は、トレンチ 6 の上側のコーナー部を含む部分であり、トレンチ 6 の底部は、トレンチ 6 の底側のコーナー部を含む部分である。

【0024】

ゲート電極 8 は、ボロンがドーパされたポリシリコンにより構成されている。また、ベース領域となる N 型層 3 およびソース領域となる P⁺型層 4 の一面、つまり半導体基板 5 の表面上には BPSG 膜 9 が形成されており、この BPSG 膜 9 に形成されたコンタクトホールを介し、ソース電極 10 および図 1 には図示されないゲート、コレクタ電極となる金属膜が形成されている。

【0025】

半導体装置を上記した構成とすることにより、トレンチ 6 の内壁上に形成された ONO 膜 7 f 等をゲート絶縁膜 7 とし、N 型層 3 におけるトレンチ 6 の側壁近辺の領域をチャネル領域 3 a とする、トレンチゲート構造を持つトランジスタが構成される。

【0026】

ここで、ゲート絶縁膜 7 において、トレンチ 6 の側壁部にはボトム酸化膜 7 a とシリコン窒化膜 7 b とトップ酸化膜 7 c とからなる ONO 膜 7 f が形成されている。このため、トレンチ 6 の側壁部におけるゲート絶縁膜がシリコン酸化膜のみから構成された場合と比較して、高いゲート耐圧が得られている。また、トレンチ 6 の上部、底部には、トレンチ 6 の側壁部に形成された積層膜よりも膜厚が大きなシリコン酸化膜 7 d、7 e が形成されている。このため、トレンチ 6 の上下のコーナー部での電界集中が緩和され、その部分での電解集中による耐圧の低下が防止されている。

【0027】

次に、上記した半導体装置の製造方法について、図2に示す工程図を参照して説明する。

【0028】

まず、図2(a)に示す工程において、P+型あるいはN+型のシリコン基板1の上にP-型のドリフト層2を形成し、ついで、ベース領域となるN型層3、およびソース領域となるP+型層4をイオン注入および不純物を拡散させるための熱処理によって順次形成する。このとき、N型層3の深さを2～3 μm 、P+型層4の深さを約0.5 μm とする。

【0029】

次に、図2(b)に示す工程において、トレンチマスクとなるシリコン酸化膜11をCVD法により0.5 μm 程度堆積し、フォトリソグラフィーおよび異方性ドライエッチングによってパターンニングを行う。次いで、パターンニングされたシリコン酸化膜11をマスクとして、異方性ドライエッチングにより、P+型層4およびN型層3を貫通し、ドリフト層2に達するトレンチ6を形成する。このとき、トレンチ6の深さを2～6 μm とする。

【0030】

次に、図2(c)に示す工程において、 CF_4 および O_2 ガスを用いたケミカルドライエッチングによりトレンチ6を構成する内壁の表面を0.1 μm 程度等方的にエッチング除去する。そして、 H_2O または O_2 雰囲気中の熱酸化により、100nm程度の犠牲酸化膜を形成する。この後、希フッ酸によるウェットエッチングにて、犠牲酸化膜を除去する。このとき、トレンチマスク用の酸化膜11も同時にエッチングされる。ウェットエッチングの時間は、犠牲酸化膜のみを除去する時間、犠牲酸化膜とトレンチマスク用のシリコン酸化膜11の両方を除去する時間のどちらに設定してもよい。

【0031】

続いて、後に形成するトップ酸化膜7c(図1参照)よりも膜厚が大きくなるように、トレンチ6の内壁上にボトム酸化膜としての第1のシリコン酸化膜7aを形成する。具体的には、 H_2O または O_2 雰囲気中の熱酸化により、100nm

程度の膜厚となるように、シリコン酸化膜 7 a を形成する。

【0032】

次に、図 2 (d) に示す工程において、後に形成するゲート電極 8 に含まれるボロンがボトム酸化膜 7 a に拡散するのを防ぐことができるように、ボロンが通過するのを抑制できる膜厚および膜質にてシリコン窒化膜 7 b を形成する。具体的には、LPCVD 法により、膜厚が 10 ~ 30 nm のシリコン窒化膜 7 b を形成する。

【0033】

なお、シリコン窒化膜 7 b を N_2 雰囲気中の熱酸化により形成することもできる。CVD 法によりシリコン窒化膜 7 b を形成する方法と N_2 雰囲気中の熱酸化によりシリコン窒化膜 7 b を形成する方法とでは、同じ膜厚のシリコン窒化膜 7 b を形成したとき、前者の方が後者よりも容易に膜厚が厚いシリコン窒化膜 7 b を形成できる。このことから、前者の方法によりシリコン窒化膜 7 b を形成することが好ましい。

【0034】

次に、図 2 (e) に示す工程において、 CHF_3 および O_2 ガス系を用いた異方性ドライエッチングにより、シリコン窒化膜 7 b のうち、トレンチ 6 の側壁部のシリコン窒化膜を残し、トレンチ 6 の底部のシリコン窒化膜を除去して、第 1 のシリコン酸化膜 7 a を露出させる。このとき、同時にトレンチ 6 の上部および基板表面のシリコン酸化膜 11 上に形成されたシリコン窒化膜も同時に除去され、その部分において第 1 のシリコン酸化膜 7 a が露出する。

【0035】

次に、図 2 (f) に示す工程において、第 1 のシリコン酸化膜 7 a よりも膜厚が小さくなるように、シリコン窒化膜 7 b の上にトップ酸化膜としての第 2 のシリコン酸化膜 7 c を形成する。具体的には、例えば、 $950^\circ C$ の H_2O もしくは O_2 雰囲気中で熱酸化を行い、5 ~ 10 nm の第 2 のシリコン酸化膜 7 c を形成する。

【0036】

このようにして、トレンチ 6 の側壁部では、ボトム酸化膜 7 a、シリコン窒化

膜 7 b、トップ酸化膜 7 c から構成された O N O 膜 7 f が形成される。また、シリコン窒化膜が除去されたトレンチ 6 の上部、底部には、熱酸化によって膜厚が大きくなった約 2 0 0 n m のシリコン酸化膜 7 d、7 e が形成される。これにより、トレンチ 6 の上部と底部におけるコーナー部での電界集中を緩和することができるため、その部分でのゲート絶縁膜 7 の電界集中による耐圧の低下を防ぐことができる。

【 0 0 3 7 】

次に、図 2 (g) に示す工程において、トレンチ 6 の内部を含む半導体基板 5 の表面上にボロンがドーピングされたポリシリコン 8 を L P C V D 法により形成し、トレンチ 6 の内部を充填する。続いて、そのポリシリコン 8 を所望の厚さにエッチバックする。

【 0 0 3 8 】

次に、図 2 (h) の工程において、フォトリソグラフィーによって多結晶シリコン 8 をパターニングし、ゲート電極 8 を形成する。

【 0 0 3 9 】

この後、図 1 に示すように、層間絶縁膜となる B P S G 膜 9 をプラズマ C V D 法により成膜し、さらに B P S G 膜 9 の表面を平坦化するための熱処理を行う。そして、フォトリソグラフィーおよび異方性ドライエッチによりコンタクトホールを形成し、ソース、ゲートおよびコレクタ電極となる金属膜をスパッタ法により形成する。このようにして、図 1 に示す半導体装置が製造される。

【 0 0 4 0 】

以下に本実施形態の特徴を説明する。ボロンが注入された P + 型ポリシリコンをゲート電極として用いた場合、例えば図 2 (h) のゲート電極 8 を形成する工程の後に行う B P S G 膜 9 を平坦化するための熱処理により、ゲート電極 8 に含まれるボロンがトップ酸化膜 7 c およびシリコン窒化膜 7 b 中に拡散する。そして、従来では、シリコン窒化膜 7 b の膜厚や膜質によっては、ボロンがシリコン窒化膜 7 b を通過し、さらにボトム酸化膜 7 a 中やチャネル領域 3 a 中にもボロンが拡散する恐れがあった。

【 0 0 4 1 】

このことから、従来ではゲート絶縁膜 7 の膜質が劣化するためゲート絶縁膜 7 の耐圧が設定値よりも低下したり、チャネル領域 3 a の不純物濃度が変動することで、しきい値電圧が設定値から変動するという問題が発生する恐れがあった。

【0042】

これに対して、本実施形態では、トレンチ 6 の側壁部に形成した ONO 膜 7 f において、シリコン窒化膜 7 b をボロンが通過するのを防ぐことができる膜厚および膜質にて形成している。

【0043】

これにより、ゲート電極 8 の形成後の BPSG 膜 9 に対する熱処理によるゲート電極 8 に含まれるボロンの拡散をシリコン窒化膜 7 b にて食い止めることができる。このため、ボトム酸化膜 7 a およびチャネル領域 3 a にボロンが拡散するのを防ぐことができる。したがって、ゲート絶縁膜の耐圧の低下やチャネル領域 3 a の不純物濃度の変動を抑制することができ、ゲート絶縁膜 7 の耐圧やしきい値電圧が設定値から変動するのを抑制することができる。

【0044】

図 3 に図 1 中の一点鎖線にて示す領域 2 1 の拡大図を示す。図 3 は領域 2 1 を 90° 回転させた図であり、上からゲート電極 8、ONO 膜 7 f および半導体基板 5 を示している。また、図 4 に図 3 とは反対に ONO 膜 7 f 中のトップ酸化膜 7 c をボトム酸化膜 7 a よりも厚くしたときの図を示す。

【0045】

本実施形態では、図 3 に示すように、ONO 膜 7 f のシリコン酸化膜をトップ酸化膜 7 c は薄く、ボトム酸化膜 7 a は厚くなるように形成している。これにより、図 4 に示すように、トップ酸化膜 7 c をボトム酸化膜 7 a よりも厚く形成するときよりも、ONO 膜 7 f 全体に対してボロンが拡散する領域を少なくすることができる。すなわち、ONO 膜 7 f 全体に対するボロンの拡散を効果的に抑制することができる。

【0046】

このことから、本実施形態のように、ONO 膜 7 f において、ボトム酸化膜 7 a の膜厚をトップ酸化膜 7 c の膜厚よりも大きくなるようにすることで、これと

は反対にトップ酸化膜 7 c の膜厚をボトム酸化膜 7 a の膜厚よりも大きくする場合と比較して、ゲート電極 8 の形成後の熱処理によるボロンの拡散により、膜質が劣化する領域を少なくすることができる。これにより、ゲート絶縁膜 7 の側壁部での耐圧が設定値よりも低下するのを抑制することができる。

【0 0 4 7】

なお、本実施形態では上述したようにONO膜 7 f において、ボロンの拡散により汚染される領域を少なくしている。したがって、ボロンの拡散が抑制されているボトム酸化膜 7 a の耐圧が、ONO膜 7 f 全体の目標耐圧となるように、ボトム酸化膜 7 a の膜厚等を設計するのが良い。

【0 0 4 8】

これまでに説明してきたように、本実施形態によれば、ゲート絶縁膜 7 として、トレンチ 6 の上部、底部には膜厚が大きなシリコン酸化膜 7 d、7 e を形成することにより、トレンチ 6 の上部、底部におけるゲート絶縁膜 7 の耐圧を向上させることができ、さらに、トレンチ 6 の側壁部におけるONO膜 7 f を上述したように形成することにより、トレンチ 6 の側壁部におけるゲート絶縁膜 7 の耐圧も向上させることができる。

(第 2 実施形態)

第 1 実施形態では、トレンチゲート型の半導体装置の製造方法において、ベース領域としてのN型層 3 やソース領域としてのP+型層 4 をゲート電極 8 よりも先に形成する場合を説明したが、ゲート電極 8 を形成した後に、N型層 3 やP+型層 4 をイオン注入及び不純物拡散のための熱処理により形成することもできる。

【0 0 4 9】

この場合では、図 2 (a) ~ (h) に示す工程のうち、図 2 (a) に示す工程ではN型層 3 やP+型層 4 の形成を行わず、図 2 (h) に示す工程にて、ゲート電極を形成した後、ドリフト層 2 のうちN型層 3 やP+型層 4 を形成する領域の表面上のシリコン酸化膜 1 1 を除去する。そして、N型層 3 やP+型層 4 をイオン注入及び不純物拡散のための熱処理により形成するように製造工程を変更する。なお、その他のゲート絶縁膜 7 を形成する等の図 2 (b) ~ 図 2 (f) に示す

工程は第1実施形態と同様に行う。

【0050】

N型層3やP+型層4を形成した後、図1に示すように、層間絶縁膜となるBPSG膜9をプラズマCVD法により成膜し、さらにBPSG膜9の表面を平坦化するための熱処理を行う。その後も第1実施形態と同様に行うことで、半導体装置を製造することができる。

【0051】

この場合においては、N型層3やP+型層4を形成する際の不純物を拡散させるための熱処理や、第1実施形態と同様にBPSG膜9の平坦化のための熱処理により、ゲート電極8に含まれるボロンがゲート絶縁膜および半導体基板5に向かって拡散する恐れがある。

【0052】

したがって、本実施形態においても、ゲート絶縁膜7を構成するONO膜7fを第1実施形態と同様に形成することで、ゲート電極の形成後における不純物拡散のための熱処理や、BPSG膜9の平坦化のための熱処理等により、ゲート電極8からゲート絶縁膜7に対するボロンの拡散を効果的に抑制することができる。

（他の実施形態）

なお、上記した各実施形態では、トレンチ6の上部および底部の絶縁膜をシリコン酸化膜のみにより形成する場合を説明したが、トレンチの上部および底部のいずれか一方のみをシリコン酸化膜により構成し、他方をONO膜により構成することもできる。トレンチの上部および底部のいずれか一方のみをシリコン酸化膜にするためには、他方のシリコン窒化膜を除去しないようにマスクして異方性ドライエッチングを行うように上記した製造工程を変更すればよい。

【0053】

また、ゲート絶縁膜7を全てONO膜により構成することもできる。この場合は、上記した製造工程において、シリコン窒化膜7bを除去せず、その上にシリコン酸化膜7cを形成するように製造工程を変更すれば良い。

【0054】

また、上記した各実施形態では、Pチャネル型のトランジスタを有する半導体装置を例として説明したが、ボロンがドーパされたポリシリコンをゲート電極として用いており、かつ、半導体装置の各層の導電型をそれぞれ反対の導電型としたNチャネル型のトランジスタを有する半導体装置においても、本発明を適用することができる。

【0055】

また、上記した各実施形態では、半導体装置として、パワーMOSFET、IGBT等のトランジスタを構成するものを例として説明したが、これに限らず、トレンチの内部にポリシリコンが埋め込まれたトレンチ型のキャパシタを備える半導体装置等のトレンチゲート構造を有する半導体装置においても本発明を適用することができる。

【0056】

この場合においても、トレンチの内壁上に形成する絶縁膜をONO膜により構成し、ONO膜を構成するシリコン窒化膜をボロンの通過を抑制できる膜厚および膜質にて形成し、トップ酸化膜は薄く、ボトム酸化膜は厚くなるように、それぞれのシリコン酸化膜を形成する。

【0057】

このようにシリコン窒化膜を形成することで、ゲート電極の形成後の熱処理によるゲート電極に含まれるボロンの拡散をシリコン窒化膜にて食い止めることができ、ボトム酸化膜にボロンが拡散するのを防ぐことができる。

【0058】

さらに、ボトム酸化膜をトップ酸化膜よりも厚く形成することで、ONO膜中におけるボロンが拡散する領域を少なくすることができる。これにより、ボロンの拡散を効果的に抑制することができるため、トレンチの内壁上に形成された絶縁膜の耐圧が、設定値よりも低下するのを抑制することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態における半導体装置の断面図である。

【図2】

図 1 に示す半導体装置の製造工程を示す図である。

【図 3】

図 1 中の領域 2 1 の拡大図である。

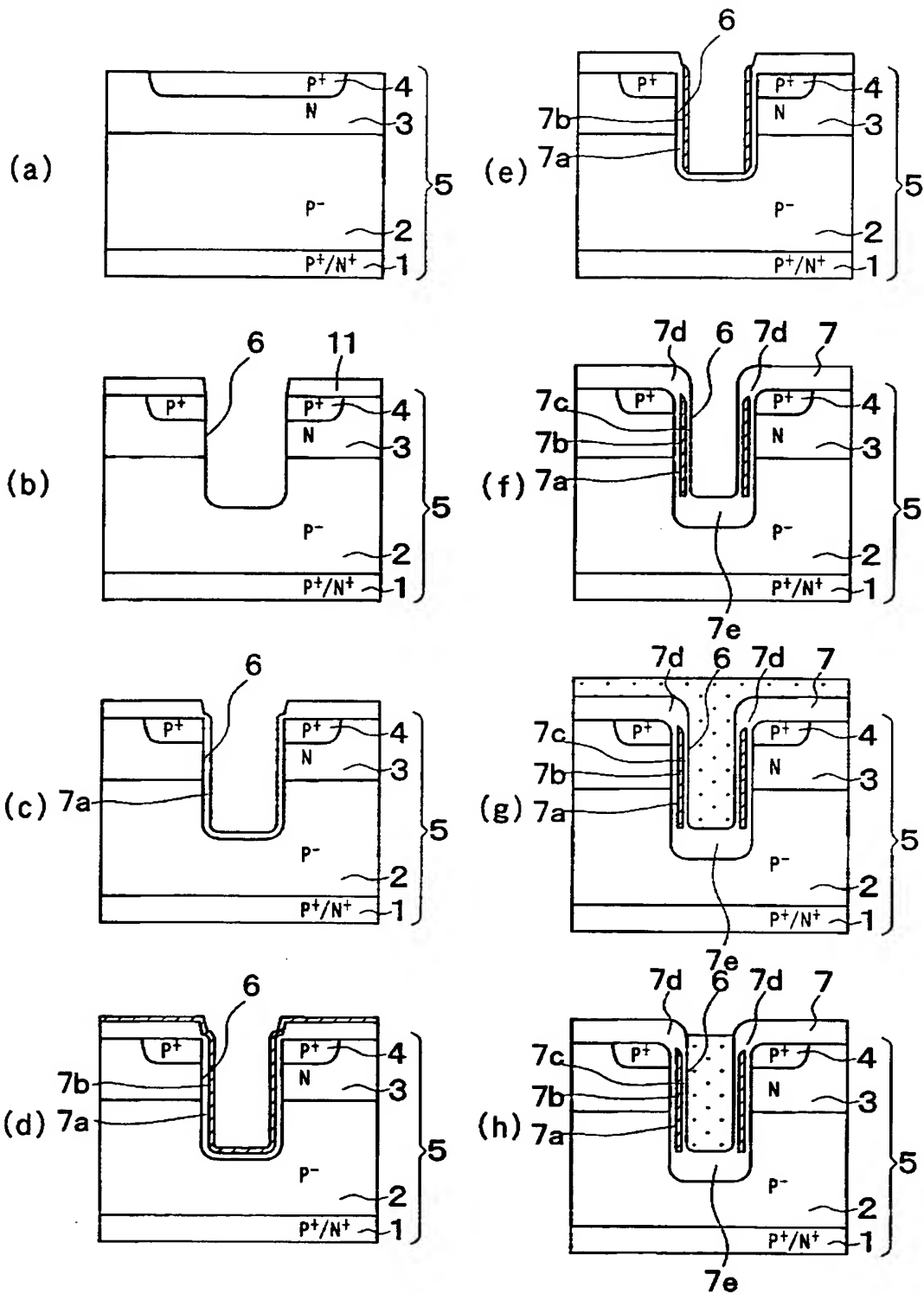
【図 4】

図 3 よりもゲート絶縁膜 7 の耐圧が低いときの例を示す図である。

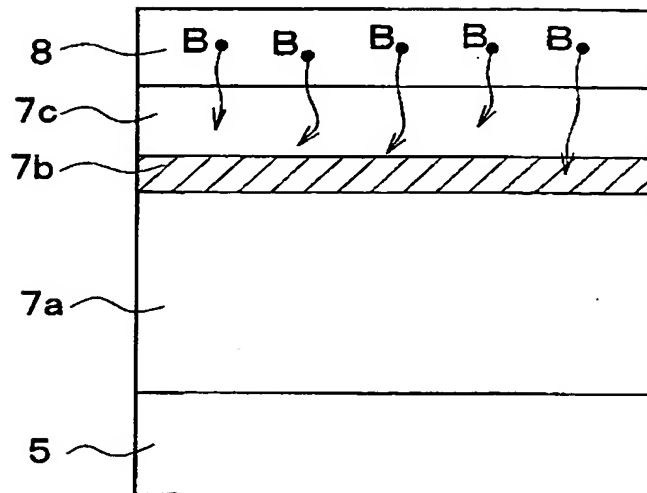
【符号の説明】

1…シリコン基板、2…ドリフト層、3…N型層、3 a…チャネル領域、
4…P⁺型層、5…半導体基板、6…トレンチ、7…ゲート絶縁膜、
7 a…シリコン酸化膜（ボトム酸化膜）、7 b…シリコン窒化膜、
7 c…シリコン酸化膜（トップ酸化膜）、7 d、7 e…シリコン酸化膜、
7 f…ONO膜、8…ゲート電極、9…BP SG膜、1 0…ソース電極、
1 1…シリコン酸化膜。

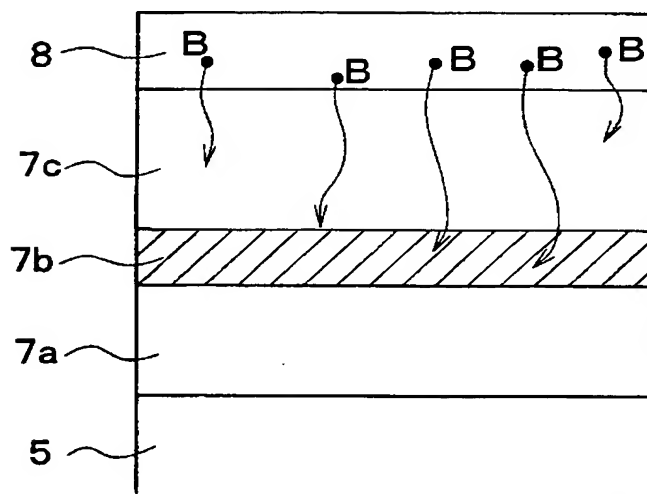
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 ボロンがドーピングされたポリシリコンがトレンチ内に埋め込まれたトレンチゲート構造の半導体装置において、トレンチの側壁上に形成された絶縁膜の耐圧の低下を抑制することができる半導体装置およびその製造方法を提供する。

【解決手段】 トレンチ 6 の内壁上に形成する絶縁膜を ONO 膜 7 f により構成し、ONO 膜 7 f を構成するシリコン窒化膜 7 b をボロンの通過を抑制できる膜厚および膜質にて形成し、トップ酸化膜 7 c は薄く、ボトム酸化膜 7 a は厚くなるように、それぞれのシリコン酸化膜 7 a、7 c を形成する。

【選択図】 図 1

特願 2 0 0 3 - 0 1 4 4 6 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー